

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-137325

(43)Date of publication of application : 25.05.1990

(51)Int. Cl. H01L 21/318
G02F 1/136
H01L 29/784
// H01L 21/20

(21)Application number : 63-291859 (71)Applicant : FUJI
ELECTRIC CO
LTD

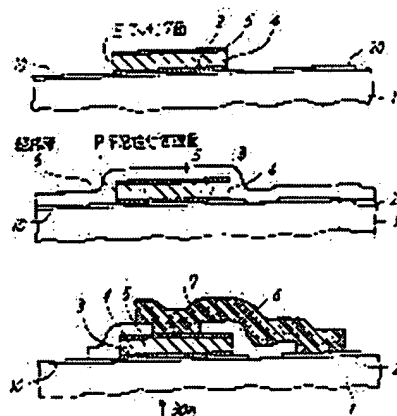
(22)Date of filing : 18.11.1988 (72)Inventor : UENO
MASAKAZU
MURAMATSU
YOSHIHISA

(54) METHOD FOR INACTIVATING AMORPHOUS SILICON SURFACE

(57)Abstract:

PURPOSE: To stabilize the properties of a surface to be easily activated of a silicon layer by inactivating it immediately before it is coated with an insulating film on an amorphous silicon layer.

CONSTITUTION: The face of an amorphous silicon layer 4 activated by etching is exposed with a plasma atmosphere containing nitrogen under reduced pressure to inactivate the activated surface. Then, a silicon nitride film is grown, for example, as an insulating film 6. This silicon nitride film is grown up to 0.5-1 μ m of thickness with material gas mixed with silane and ammonia by a plasma CVD method.



Thus, the whole surface including the inactivated face P of a thin film diode body is covered with the film 6. The unnecessary part of the film 6 is removed, a window is opened at the top face of the body, metal such as aluminum is deposited in vacuum as a connecting film 7, and patterned in a predetermined shape by photoetching. Thus, the properties of the etched face of the amorphous silicon layer can be stabilized.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-137325

⑬ Int. Cl.⁹ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)5月25日
H 01 L 21/318 B 6824-5F
G 02 F 1/136 7370-2H
H 01 L 29/784
// H 01 L 21/20 7739-5F
8624-5F H 01 L 29/78 3 1 1 N
審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 非晶質シリコン表面に対する不活性化処理方法

⑯ 特 願 昭63-291859

⑰ 出 願 昭63(1988)11月18日

⑱ 発 明 者 上 野 正 和 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 発 明 者 村 松 義 久 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑳ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉑ 代 理 人 弁理士 山口 巖

明 細 書

1. 発 明 の 名 称 非晶質シリコン表面に対する不活性化処理方法

2. 特 許 請 求 の 範 囲

非晶質シリコン層のエッチングされた面を絶縁膜の被覆前に不活性化処理する方法であって、処理面を減圧下で窒素を含むプラズマふん囲気に曝すことを特徴とする多結晶シリコン表面に対する不活性化処理方法。

3. 発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は非晶質シリコン表面に対する不活性化処理方法、例えば表示パネルのアクティブマトリックス基板上に表示駆動素子として組み込まれる薄膜素子に用いられる非晶質シリコン層の側面に対する不活性化処理方法であって、この非晶質シリコン表面がエッチングされた面であり、その上に絶縁膜を被覆する前にその表面の性質を安定化するために不活性化処理する方法に関する。

(従来の技術)

よく知られているように非晶質シリコンは、プラズマCVD法等によって1μ以下のごく薄くかつ安定した性質をもつ安価な半導体膜に容易に成膜することができ、これを利用した太陽電池や光センサが実用化されるに至っているが、最近では非晶質シリコンの薄膜を用いたトランジスタやダイオードなどの能動素子をかなりサイズの大きな絶縁基板上に組み込んだいわば大形の集積回路が開発され実用化の段階に入りつつある。

この例が表示パネル用のアクティブマトリックス基板やファクシミリ用の密着形のイメージセンサであって、いずれの場合もガラス等の大形の絶縁基板上に不純物ドーパされた複数層構成の非晶質シリコンの薄膜を成長させ、集積回路装置の場合と同じくフォトリソセスによって、それを微細パターンにパターンニングして能動素子を作り込んだ上で接続膜によって相互配線する。この際、非晶質シリコン薄膜のフォトリソセスされた面つまり非晶質シリコン層の側面は、外部の影響を避けあるいはその上に配設される接続膜から絶縁

するために、窒化シリコンや酸化シリコン等の絶縁性の薄膜で被覆される。

以下、かかる非晶質シリコンの適用例を、上述のアクティブマトリックス基板を例にとりて、第4図以降を参照しながら簡単に説明する。

第4図は表示パネルの4画素分の等価回路図であって、この例では表示駆動用の飽動素子として非晶質シリコンの薄膜ダイオード30が用いられており、この薄膜ダイオード30が組み込まれるアクティブマトリックス基板側が実線とその対向基板側が点線でそれぞれ示されている。

アクティブマトリックス基板側には、マトリックス配置された画素電極10と、図の左右方向に並ぶ画素電極10に共通に設けられた走査電極20と、各画素電極10と走査電極20との間に接続された薄膜ダイオード30が設けられる。対向基板側には、図の上下方向に並ぶ画素電極10に対向する表示電極40が設けられる。これら両基板を組み合わせて、両者間の隙間に液晶等の表示媒体50を封入することにより、表示パネルが構成される。薄膜ダイオ

ード30は走査電極20上の表示電圧を画素電極10に伝達するもので、表示電圧の極性が走査期間ごとに正負に切り換えられるので、正方向の薄膜ダイオード30pと負方向の薄膜ダイオード30nとを逆並列接続して構成される。

第5図は薄膜ダイオード30pおよび30nがアクティブマトリックス基板上に作り込まれた状態を示すもので、そのY-Y矢視断面が第6図に示されている。アクティブマトリックス基板は、第6図に示すガラス等の透明な絶縁基板1を基体とするもので、その上にごく薄い導電性膜2を被覆してそのフォトリソグラフィにより、方形の画素電極10と横長の走査電極20とが形成される。薄膜ダイオード30pおよび30nの本体部は、第5図に示すようにpin構造の非晶質シリコンの半導体層4とそれを上下から挟むごく薄い金属膜3および5とから構成され、これらの3層をアクティブマトリックス基板の全面に成長ないし被覆した上でフォトリソグラフィを施すことにより、第5図のようにふつうは方形のパターンに形成される。

この薄膜ダイオード本体部とくにその半導体層4のエッチングされた側面を外部から隔離しかつその上に設けられる接続膜7から絶縁するため、窒化シリコンや酸化シリコンからなる絶縁膜8がこの本体部を覆って設けられる。アルミ等の金属からなる接続膜7は薄膜ダイオードの接続用であって、絶縁膜に明けられた窓を介して薄膜ダイオードの本体部の頂面および所定の接続個所に導電接触するように設けられる。第5図からわかるように、正方向の薄膜ダイオード30pは走査電極20上に設けられて、この接続膜7によって画素電極10と接続され、負方向の薄膜ダイオード30nは画素電極10上に設けられて、接続膜7により走査電極20と接続される。

なお、以上では説明の簡単化のため正負両方向の薄膜ダイオードがそれぞれ単一のダイオードで構成されたとしたが、実際には表示媒体により必要とされる表示特性に合わせるため、それぞれ複数個例えば4個のダイオードを直列接続して構成されるのがふつうである。

(発明が解決しようとする課題)

上述の薄膜ダイオード等に用いられる非晶質シリコンの薄膜は、前述のようにプラズマCVD法等により非常に均一な特性に成長させることができ、例えばそのpin構造がもつダイオード特性を本来はごく小さなばらつき内に揃えることができるのであるが、そのパターンニングのためのエッチング後に特性が不安定になり、あるいはそのばらつきが増加することがある。

第3図は、アクティブマトリックス基板の製作後100℃の温度下で2週間放置した後の薄膜ダイオードの電圧・電流特性の試験結果であって、同じ基板上のそれぞれ4個直列接続された薄膜ダイオード40個を試験対象として、それらのダイオード特性のばらつきの範囲が図の上下の線で示されており、横軸には電圧Vが、縦軸には電流Iの対数がそれぞれ取られている。なお、図からわかるようにダイオード電流Iは非常に小さく、図の電流Iの 10^{-10} A以下の範囲に見られる大きなばらつきは測定装置の誤差に基づくものである。

製作の直後にはこの特性にほとんどばらつきが見られなかったのに、この試験結果では図示のように特性にかなりのばらつきが見られ、とくにこの場合に表示特性上で最も重要な2～3Vの電圧範囲でばらつきが出てきているのが問題である。また、製作直後には2Vの電圧に対応する電流Iの値が 10^{-8} μA以下であったのに、 $10^{-4} \sim 10^{-5}$ μAまでそのレベルが全体的に上がっており、漏洩電流が増加したことを示している。なお、エッチングを施す前の非晶質シリコン薄膜にはかかる特性の変化は認められず、問題の原因がエッチングされた非晶質シリコン層の表面の性状にあることを窺わせる。

このように表示駆動素子の特性にばらつきが出ると、表示パネルの面内の表示の明るさが当然不均一になって来る。この試験結果は40個の画素に対するものであるが、表示パネルには少なくとも数万個の画素があり、その内の表示上の重欠陥画素数が10個程度にもなると、そのアクティブマトリックス基板は不良になってしまう。ウエハ内に

用いることができる。また、このふん囲気の圧力としては、プラズマを維持できる任意の圧力とすることでよいが、0.1～1 Torrの間、とくに0.4 Torr前後とするのが望ましい。かかる不活性化処理を施した非晶質シリコン層の表面を被覆する絶縁膜としては、不活性化処理面を大気に当てることなく同じ設備内で不活性化処理に引き続いて成長ないし被覆できる絶縁性を有する任意の膜を用いることができるが、窒化シリコン膜や酸化シリコン膜とくに前者を用いるのが最も望ましい。窒化シリコン膜を絶縁膜として用いる場合、不活性化処理膜中の窒素濃度を窒化シリコン膜中の窒素濃度よりも高めて置くことが望ましい。

(作用)

非晶質シリコンに対するエッチングは、ふっ素系等の反応ガスを用いるドライエッチングや化学エッチングによってなされるが、いずれの場合にもエッチング面が活性化されていて、その上に絶縁膜を被覆してもこの一旦活性化された表面は必ずしも安定化されず、漏洩電流の増加等の問題の

多数個が作り込まれる半導体集積回路の場合と異なり、アクティブマトリックス基板はその一部を生かして使用するわけには行かないので、その全体を廃棄しなければならない。従って、表示駆動素子の特性のばらつきによって不良率が少しでも高くなると、製作コストが急激に増加することになり、アクティブマトリックス基板の合理化ないし実用化上の難点となっていた。

本発明はかかる問題を解決して、非晶質シリコン層のエッチングされた面の性状を安定化できる不活性化処理方法を得ることを目的とする。

(課題を解決するための手段)

本発明は、非晶質シリコン層のエッチングされた面に対し、その上に絶縁膜を被覆する直前に、減圧下で窒素を含むプラズマふん囲気に曝す不活性化処理を施すことにより、上記の目的を達成することに成功したものである。

上記構成中のプラズマふん囲気としては、純粋な窒素ふん囲気あるいは窒素1部に対し水素を2部まで混合した窒素と水素の混合ガスふん囲気を

原因になるものと考えられる。試みにエッチングによりパターンニングするかわりに、実用的ではないが所望のパターンをもつマスクを用いて非晶質シリコン層を成長させて見ると、上述のような問題は全く発生しないことがわかる。

本発明はかかる観点からなされたもので、エッチングによって活性化されている非晶質シリコン層の面を減圧下で窒素を含むプラズマふん囲気に曝すことによって、活性化面を不活性化することに成功したものである。非晶質シリコンの活性化された表面には、最表面シリコン原子のいわゆるダングリングボンドが露出しており、おそらくはこれに状況によって移動を生じやすい原子が結合しているものと考えられるが、本発明による不活性化処理を施すことによりシリコン原子のダングリングボンドに窒素が結合して非晶質シリコンの表面が不活性化されるものと考えられる。この結合窒素を検出すべく、ESCA法等による表面微視分析を試みたが、現在までのところ窒素原子の特定には成功しておらず、非晶質シリコンの表面

における窒素の存在はおそらくは1原子層ないし多くても数原子層以内の極めて僅かな程度と推定される。

しかし、この不活性化処理の効果は顕著であって、後述の実施例で述べるように非晶質シリコン層のエッチング前の本来の特性を維持し、かつ漏洩電流も最低値に抑えることができる。

(実施例)

以下、非晶質シリコンを用いた薄膜ダイオードが組み込まれる表示パネルのアクティブマトリックス基板を例に取って、本発明方法の実施例を説明する。第1図はこのアクティブマトリックス基板の薄膜ダイオード部をその主な作成工程ごとの状態で示す一部拡大断面図であり、同図(α)に前の第6図に対応するその完成状態が示されており、第4図から第6図までと同じ部分には同符号が付けられている。以下、図の工程順に説明を進めることとする。

第1図(α)において、絶縁基板1はふつう透明なガラス板であり、その上に例えばITO(インジ

ング工程であって、ふつうはドライエッチング法によって上側金属膜5、半導体層4および下側金属膜3を順次エッチングして、第3図のような方にパターンニングする。このエッチングには、金属膜5および3に対しては窒素系反応ガスを、半導体層4に対してはふっ素系反応ガスをそれぞれ用いるのがふつうである。この際のエッチング面Eは、図からわかるように薄膜ダイオード本体部の側面であり、ドライエッチング時の反応ガス中のふっ素ないしは窒素の影響を受けるものと考えられる。また、ドライエッチング後はそれ用の装置から外部に取り出されるので、もちろん大気の影響も受けることになる。半導体層4用の非晶質シリコンのエッチング面が活性化しやすい原因が、これらの反応ガスおよび大気のいずれにあるかはまだ不明である。

第1図(α)の工程では、上記のエッチング面Eを不活性化処理面Pとして例えばプラズマCVD装置内で不活性化処理を行ない、装置から取り出すことなく引き続いて絶縁膜6をその上を含めて金

属(ウラム・錳酸化物)等の透明な導電性膜2を0.1 μ m程度の厚みにごく薄く真空蒸着ないしスパッタし、それをフォトリソエッチングすることにより、画素電極10および走査電極20を第5図のようなパターンで形成する。つづく同図(α)の工程では、その上に0.1 μ m程度のごく薄いクロム等の金属膜3および5で上下から挟まれたpla構成の非晶質シリコンからなる半導体膜4を0.5 μ m程度の厚みに全面成長させる。この際の金属膜3および5は真空蒸着法ないしスパッタ法で被覆され、半導体膜4用の非晶質シリコンは通例のように例えばプラズマCVD法で成長される。プラズマCVD法による非晶質シリコンの原料ガスには、通常のようにシラン等のシリコン水素化合物を用い、これにp形不純物として例えばジボランを、n形不純物として例えばフォスフィンをそれぞれ順次添加することにより、この実施例における薄膜ダイオード用にp-i-nの3層構造の非晶質シリコン層を成長させることができる。

第1図(α)は薄膜ダイオード本体部のパターンニ

ュン被覆する。不活性化処理の条件例としては、窒素ガスを毎分380sccmの流量率で流し、装置内の圧力を0.4Torrに保った状態で、0.04W/cm²の密度で高周波電力を印加する。不活性化処理温度を170~200℃とした場合の処理時間は最低20分、望ましくは30分以上とする。上記の窒素ガスの流量率はかなり変動しても支障がないが、処理圧力は0.1~1Torrの範囲を外れると処理効果があまりなく、上記のように0.4Torr前後としたとき最もよい処理結果が得られる。

また、処理ガスとしては、純窒素のほか窒素と水素との混合ガスを用いてもよく、この際の水素の流量率は、窒素のそれを100%として0~200%の範囲とするのが適当である。処理条件は純窒素の場合と同じでよい。なお、この混合ガスを用いる場合には、不活性化処理された非晶質シリコンの面に、数原子層の窒素を主成分とする薄膜が形成されるものと推定される。

ついで、同じプラズマCVD装置内で不活性化処理に引き続いて、絶縁膜6として例えば窒化シ

リコン膜を成長させる。この窒化シリコン膜は、通例のようにシランとアンモニアを混合した原料ガスを用い、プラズマCVD法により0.5~1 μ m望ましくは0.7 μ m前後の厚みに成長させる。これによって、薄膜ダイオード本体部の不活性化処理面Pを含めた全面が、図示のように絶縁膜5によって被覆される。

第1図(向)は完成状態を示し、この状態にするには、まず絶縁膜5をフォトリソエッチングによってパターンニングして、不要部を除去するとともに薄膜ダイオード本体部の頂面に窓を明け、かつ接続膜7として例えばアルミ等の金属を真空蒸着し、かつフォトリソエッチングにより所望の形状にパターンニングする。図の例では、この接続膜7によって画素電極10上に設けられた負方向の薄膜ダイオード30が走査電極20と接続されている。

第2図は、以上のように本発明による不活性化処理法を適用して製作したアクティブマトリックス基板の薄膜ダイオードを、前の第3図における全く同じ要領で試験した結果を示す。第3図と

比較すると、電圧Vが4V以上の範囲では両者はほぼ同じ特性を示すが、表示パネルの表示特性上最も大切な2~3Vの電圧範囲において、本発明による薄膜ダイオードは2Vの近傍で値かなばらつきが見られるものの、第3図よりは格段にばらつきの少ない電圧・電流特性を示す。また、この範囲での第2図のこの特性の立ち上がりは第3図の場合よりも急峻であり、従って表示パネルとしては表示速度がより早くなることがわかる。

さらに、2Vの電圧に対応する電流Iの値は第2図の場合は 10^{-8} ~ 10^{-6} Aの間であり、第3図の 10^{-4} A近くと比べて1桁以上改善されている。これは、本発明により非晶質シリコンのエッチング面が不活性化されて、その表面漏洩電流が減少した結果と考えられる。表示パネルでは、かつ画素電極に表示電圧が与えられた後、1走査期間中この電圧を保持しなければならないので、薄膜ダイオードの漏洩電流が大きいと画素の表示状態が充分保持できなくなって表示の鮮明度が低下することになるが、本発明により上のように漏洩電流を

減少させることにより表示パネルの表示鮮明度を上げることができる。

(発明の効果)

以上の記載のように本発明方法では、非晶質シリコン層のエッチングされた面を減圧下の窒素を含むプラズマ雰囲気中に曝して、その上に絶縁膜を被覆する直前に不活性化処理することにより、非晶質シリコン層の活性化されやすい表面の性質を長期に亘り安定化して、非晶質シリコンを半導体層とする能動素子の特性のばらつきや表面漏洩電流を減少させることができる。実施例からわかるように、本発明による不活性化処理は絶縁膜の被覆工程と実質的に同一工程で行なうことができるので、本発明の実施によって能動素子の製作コストが上昇することはほとんどない。

本発明方法は、非晶質シリコンを用いる薄膜トランジスタや薄膜ダイオードが組み込まれる表示パネルのアクティブマトリックス基板やファクシミリ用のイメージセンサの製作時に適用してとくに効果が高く、表示パネルの表示の鮮明度や電荷

蓄積形のイメージセンサの検出感度を向上し、かつその製作歩留まりを上げてそのコストを低減できる著効を奏することができる。

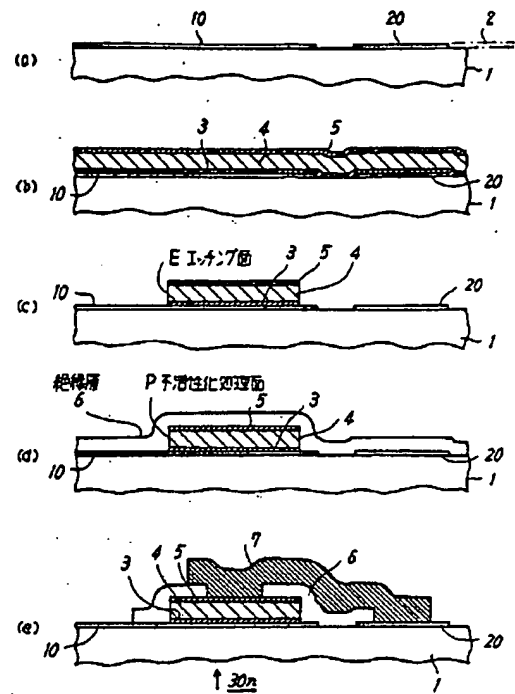
4. 図面の簡単な説明

図はすべて本発明に関し、第1図は本発明による非晶質シリコン表面に対する不活性化処理方法を表示パネルのアクティブマトリックス基板の製作に適用した実施例を主な工程ごとの状態で示すその一部拡大断面図、第2図は本発明方法を適用した薄膜ダイオードの電圧・電流特性の分布を示す特性線図、第3図は本発明方法を適用しない場合の第2図に対応する特性線図、第4図は第1図の実施例におけるアクティブマトリックス基板の等価回路図、第5図はこのアクティブマトリックス基板の一部拡大平面図、第6図はその一部拡大断面図である。図において、

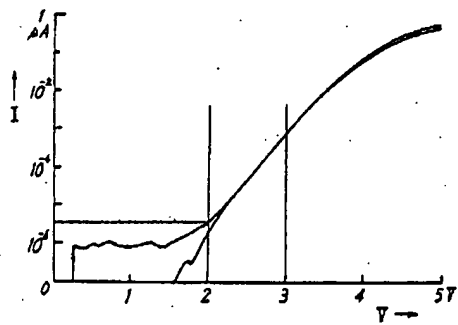
- 1: アクティブマトリックス基板用絶縁基板、
- 2: 導電性膜、3: 下側金属膜、4: 非晶質シリコンの半導体層、5: 上側金属膜、6: 絶縁膜、
- 7: 接続膜、10: 画素電極、20: 走査電極、30:

薄膜ダイオード、30p,30n: 正負方向の薄膜ダイオード、40: 表示電極、50: 表示媒体、E: 非晶質シリコン層のエッチング面、P: 非晶質シリコン層の不活性化処理面、である。

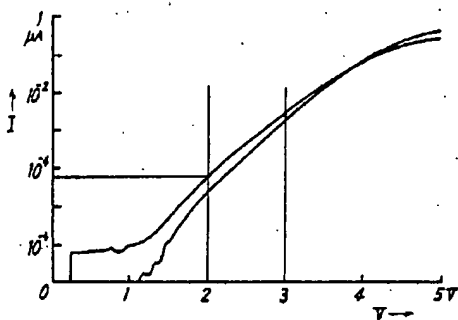
代理人弁護士 山口 義



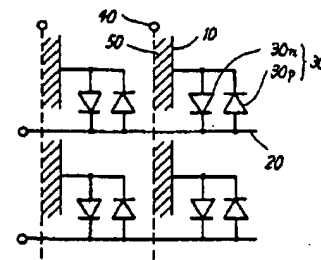
第1図



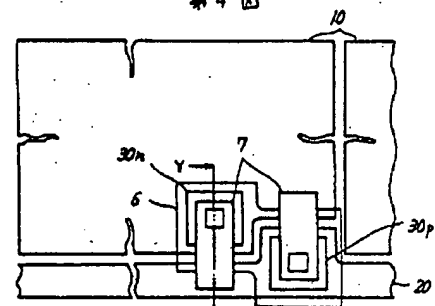
第2図



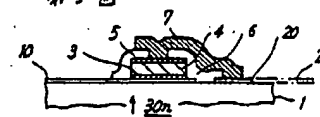
第3図



第4図



第5図



第6図

手続補正書(方式)

補正の内容

平成 7 年 3 月 16 日

明細書第18頁第16行目に「断面図」の後に以下の文章を挿入する。

「、第6図は第5図のY-Y線に沿う断面図」

特許庁長官 殿

1. 事件の表示 特願昭63-291859
2. 発明の名称 非晶質シリコン表面に対する不活性化処理方法

3. 補正をする者
事件との関係

出願人

住 所 川崎市川崎区田辺新田1番1号
名 称 (43) 富士電機株式会社

代理人弁護士 山口 巖

4. 代 理 人

住 所 川崎市川崎区田辺新田1番1号
富士電機株式会社内
氏 名 (43) 弁護士 山口 巖
Tel. (044) 333-7111 (内線4564)

5. 補正指令の日付 平成 7 年 3 月 7 日

6. 補正により増加する発明の数

7. 補正の対象 明細書

8. 補正の内容 別紙の通り

方式 (平)